

⑫ 公開特許公報(A)

昭64-44114

⑪ Int. Cl.⁴
H 03 K 5/00識別記号 庁内整理番号
X-7631-5J

⑬ 公開 昭和64年(1989)2月16日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 クロック切換回路

⑮ 特 願 昭62-199714

⑯ 出 願 昭62(1987)8月12日

⑰ 発 明 者 磯 部 裕 二 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

クロック切換回路

2. 特許請求の範囲

1. 第1、第2の2つのクロック信号を切換制御信号によって切換選択するクロック切換回路であって、上記制御信号を第1のクロック信号に同期して保持する第1のフリップフロップ回路と、上記制御信号を第2のクロック信号に同期して保持する第2のフリップフロップ回路と、第1のフリップフロップ回路の保持動作と第2のフリップフロップ回路の保持動作をそれぞれの保持出力によって相互に禁止させる相互制御回路と、第1のフリップフロップ回路の保持出力によって第1のクロック信号を伝達させる第1の論理ゲートと、第2のフリップフロップ回路の保持出力によって第2のクロック信号を伝達させる第2の論理ゲートと、第1の論理ゲートを伝達した第1のクロック信号と第2の論理ゲートを伝達した第2のクロック信号との論理和を出力する論理ゲートとを備えた

たクロック切換回路。

2. 第1の論理ゲートおよび第2の論理ゲートに入力される第1のクロック信号および第2のクロック信号をそれぞれ遅延させる遅延回路を備えた特許請求の範囲第1項記載のクロック切換回路。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、クロック切換技術、さらには互いに独立して発生される2系統のクロック信号のいずれか一方を任意に切り換えて選択する回路に適用して有効な技術に関するもので、例えば、磁気ディスク装置の書込/読出制御部に用いられるVFO(可変周波数発振器)の制御あるいはデータ通信制御などに利用して有効な技術に関するものである。

【従来の技術】

例えば、日経マグロウヒル社刊行「日経エレクトロニクス1986年10月6日号No. 405」101~114頁に記載されている磁気ディスク装置などでは、位相が必ずしも一致しない複数系

紙のクロックを切り換えて使用しなければならない場合が生じる。このような場合、複数のクロック信号から任意のクロック信号を選択するために何らかの切換選択手段が必要となる。

ここで、本発明者は、そのための切換選択手段について検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

第4図は本発明者によって検討されたクロック切換回路を示す。

同図に示すクロック切換回路は一種のマルチプレクサ(選択切換器)であって、切換制御信号CNTの“L”(低レベル)状態と第1のクロック信号CLK1との論理積をとる第1の論理ゲートG1と、切換制御信号CNTの“H”(高レベル)状態と第2のクロック信号CLK2との論理積をとる第2の論理ゲートG2と、第1の論理ゲートG1と第2の論理ゲートG2の各論理出力の論理和をとる第3の論理ゲートG3とによって構成される。

発振動作を不安定にすることがあるなど、非常に有害なものである。

本発明の目的は、互いに独立した2つのクロック信号をノイズ性の短幅パルスに伴うことなく切換選択することができるようにする、という技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

[問題点を解決するための手段]

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、切換制御信号を第1のクロック信号に同期して保持する第1のフリップフロップ回路と、上記制御信号を第2のクロック信号に同期して保持する第2のフリップフロップ回路とを有し、第1のフリップフロップ回路の保持動作と第2のフリップフロップ回路の保持動作をそれぞれの保持出力によって相互に禁止させると共に、第1のフリップフロップ回路の保持出力と第1のクロッ

ク信号との論理積と、第2のフリップフロップ回路の保持出力と第2のクロック信号との論理積とをそれぞれにとり、両論理積の論理和をとって、これを選択出力する、というものである。

[発明が解決しようとする問題点]

しかしながら、上述した技術には、次のような問題点のあることが本発明者によってあきらかとされた。

すなわち、選択入力である2つのクロック信号CLK1とCLK2がそれぞれに独立して発生されたクロックであって、その位相が一致していない場合、第5図中に示すように、制御信号CNTの論理を切換時txに幅の短いヒゲ状のパルスpxが瞬時的に発生することがある。このようなヒゲ状のパルスpxは、ノイズと同じように、誤動作の原因となる恐れが多く、例えば磁気ディスク装置の書込/読出制御部に使われているVFOの

ク信号との論理積と、第2のフリップフロップ回路の保持出力と第2のクロック信号との論理積とをそれぞれにとり、両論理積の論理和をとって、これを選択出力する、というものである。

[作用]

上記した手段によれば、切換制御信号の切換がどのようなタイミングで行なわれようと、第1、第2の各フリップフロップ回路の保持出力の論理状態が切り換わるタイミングはそれぞれに、第1、第2のクロック信号のタイミングによって規定されるようになる。つまり、クロック信号の切り換えは、上記制御信号が切り換えられてもただちには行なわれず、切り換えられるクロック信号の位相によって定められるタイミングで行なわれるようになる。

これにより、互いに独立した2つのクロック信号をノイズ性の短幅パルスに伴うことなく切換選択することができるようにする、という目的が達成される。

[実施例]

以下、本発明の好適な実施例を図面に基づいて説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第1図はこの発明による技術が適用されたクロック切換回路の一実施例を示す。

同図に示すクロック切換回路は、互いに独立して発生された第1、第2の2つのクロック信号CLK1、CLK2を切換制御信号CNKによって任意に切換選択するものであって、第1、第2の2つのD型フリップフロップ回路F1、F2、および第1、第2、第3の3つの論理ゲートG1、G2、G3などによって構成される。

第1のフリップフロップ回路F1は、上記制御信号CNKの反転出力を第1のクロック信号CLK1に同期して保持する。Dはデータ入力端子、Cは同期クロック入力端子、Qは保持出力端子、Rはリセット端子である。

第2のフリップフロップ回路F2は、上記制御信号CNTの正相出力を第2のクロック信号CLK

2に同期して保持する。この場合も、Dはデータ入力端子、Cは同期クロック入力端子、Qは保持出力端子、Rはリセット端子である。

なお、F1、F2は共にポジティブトリガ型であって、端子Cが“L”（低レベル）から“H”（高レベル）に立ち上げられるときに端子Dの状態を保持するようになっている。

ここで、第1のフリップフロップ回路F1の保持出力Q1は第2のフリップフロップ回路F2のリセット入力端子Rに、第2のフリップフロップ回路F2の保持出力Q2は第1のフリップフロップ回路F1のリセット入力端子Rにそれぞれ与えられるようになっている。これにより、第1のフリップフロップ回路F1の保持動作と第2のフリップフロップ回路F2の保持動作をそれぞれの保持出力Q1、Q2によって相互に禁止させる相互制御回路が構成されている。

第1の論理ゲートG1は論理積（AND）ゲートであって、上記第1のフリップフロップ回路F1の保持出力Q1が能動状態である“H”（高レベル）のときに、第1のクロック信号CLK1を伝達する。

第2の論理ゲートG2も論理積（AND）ゲートであって、上記第2のフリップフロップ回路F2の保持出力Q2が能動状態である“H”（高レベル）のときに、第2のクロック信号CLK2を伝達する。

第3の論理ゲートG3は論理和（OR）ゲートであって、第1の論理ゲートG1を伝達した第1のクロック信号CLK1と第2の論理ゲートG2を伝達した第2のクロック信号CLK2との論理和を出力する。この論理和出力が選択出力であるクロック信号CLK3（CLK1/CLK2）となる。

IV1はインバータであって、第1のフリップフロップ回路F1に入力される切換制御信号CNTの論理を反転させるために設けられている。なお、このインバータIV1は、例えば上記制御信号CNTがフリップフロップ回路ごとに設定されるような場合などには、必ずしも必要としない。

さらに、実施例では、第1の論理ゲートG1および第2の論理ゲートG2に入力される第1のクロック信号CLK1および第2のクロック信号CLK2をそれぞれ遅延させる遅延回路DY1、DY2が挿入されているが、これはフリップフロップ回路F1、F2における伝達遅延時間分を補償するためのものである。したがって、その遅延時間は、フリップフロップ回路F1、F2の伝達遅延時間よりわずかに長い程度でよく、インバータを2、3段直列接続することによって形成することができる。なお、この遅延回路DY1、DY2は、クロック信号CLK1、CLK2の周期がフリップフロップ回路F1、F2の伝達遅延時間に比べて非常に長い場合などには、省略することができる。

第2図は、第1図に示したクロック切換回路の各部の動作例をタイミングチャートによって示す。同図に示すように、切換制御信号CNTが“H”（高レベル）のときは、第2のフリップフロップ回路F2の保持出力Q2が能動状態である“H”

第2図は、第1図に示したクロック切換回路の各部の動作例をタイミングチャートによって示す。

同図に示すように、切換制御信号CNTが“H”（高レベル）のときは、第2のフリップフロップ回路F2の保持出力Q2が能動状態である“H”

(高レベル)になることにより、第2のクロック信号CLK2が選択されて出力される。このとき、第1のフリップフロップ回路F1の保持出力Q1は、第2のフリップフロップ回路F2の保持出力Q2によって“L”(低レベル)のリセット状態に置かれている。したがって、第1のクロック信号CLK1の出力は禁止されている。

また、切換制御信号CNTが“L”(低レベル)のときは、第1のフリップフロップ回路F1の保持出力Q1が能動状態である“H”(高レベル)になることにより、第1のクロック信号CLK1が選択されて出力される。このとき、第2のフリップフロップ回路F2の保持出力Q2は、第1のフリップフロップ回路F1の保持出力Q1によって“L”(低レベル)のリセット状態に置かれている。したがって、第2のクロック信号CLK2の出力は禁止されている。

ここで、たとえば第2図中に示すように、第2のクロック信号CLK2が出力されている途中で、つまりCLK2が“H”(高レベル)の区間を残

したままで、制御信号CNTが“H”(高レベル)から“L”(低レベル)に切り換えられても、第2のフリップフロップ回路F2の保持出力Q2は、その第2のクロック信号CLK2が残りの“H”(高レベル)の区間を終えて、次の“H”(高レベル)に立ち上がる時点まで、そのまま保持される。これにより、第2のクロック信号CLK2は、上記制御信号CNTが切り換えられた後も、“H”(高レベル)の区間を完了するまで出力され続ける。そして、第2のクロック信号CLK2がその“H”(高レベル)の区間を完了すると、その後にて第1のクロック信号CLK1が最初に“H”(高レベル)に立ち上がる時点で、第1のフリップフロップ回路F1の保持出力Q1が能動状態である“H”(高レベル)にセットされる。これにより、次に選択される第1のクロック信号CLK1は、途中からでなく、必ず“H”(高レベル)になる立ち上がり時点から出力される。

以上のように、切換制御信号CNTの切換がどのようなタイミングで行なわれようと、第1、第

2の各フリップフロップ回路F1、F2の保持出力Q1、Q2の論理状態が切り換わるタイミングはそれぞれに、第1、第2のクロック信号CLK1、CLK2によって優先的に規定されるようになる。つまり、クロック信号CLK1、CLK2の切り換えは、上記切換制御信号CNTが切り換えられてもただちには行なわれず、切り換えられるクロック信号CLK1、CLK2の位相によって定められるタイミングで行なわれるようになる。

これによって、互いに独立した2つのクロック信号CLK1、CLK2をノイズ性の短幅パルスに伴うことなく切換選択することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、第3図に示すように、論理積ゲートG4、G5を用いることによって、リセット端子のないフリップフロップF1、F2を使った場合にも、上述した相互制御回路を形成することが

できる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である2つのクロックから1つのクロックを選択する2入力1出力型の切換回路に適用した場合について説明したが、それに限定されるものではなく、たとえば、3入力2出力といったような動作形式の切換回路などにも適用できる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、互いに独立した2つのクロック信号をノイズ性の短幅パルスに伴うことなく切換選択することができる、という結果が得られる。

4. 図面の簡単な説明

第1図はこの発明によるクロック切換回路の実施例を示す回路図。

第2図は第1図に示したクロック切換回路の動作例を示すタイミングチャート。

第3図はこの発明の別の実施例を示す回路図、
第4図はこの発明に先立って検討されたクロック
切換回路を示す回路図、

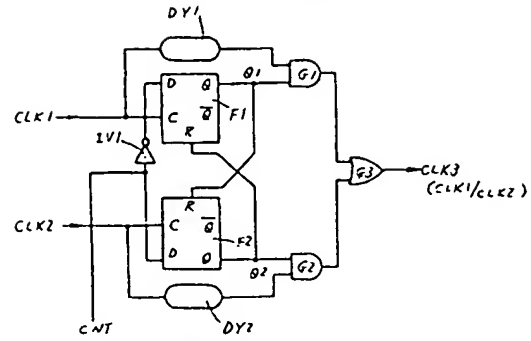
第5図は第4図に示したクロック切換回路の動
作例を示すタイミングチャートである。

CLK1, CLK2...選択入力としてのクロ
ック信号、CLK3...選択出力としてのクロ
ック信号、F1, F2...D型フリップフロ
ップ回路、G1, G2, G3, G4, G5...論
理ゲート、DY1, DY2...遅延回路、Q1,
Q2...保持出力。

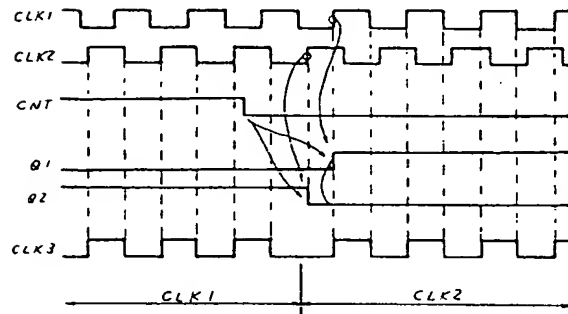
代理人 弁理士 小川勝男



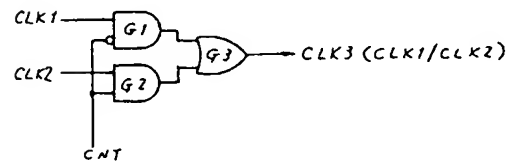
第 1 図



第 2 図



第 4 図



第 5 図

